

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

9419672

Basic Patent (No,Kind,Date): JP 2198428 A2 900806 <No. of Patents: 001>

ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): SAKAMOTO MIKIO

IPC: *G02F-001/136; H01L-027/12; H01L-029/784

JAPIO Reference No: 140487P000130

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2198428	A2	900806	JP 8919120	A	890127 (BASIC)

Priority Data (No,Kind,Date):

JP 8919120 A 890127

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03222928 **Image available**

ACTIVE MATRIX SUBSTRATE FOR LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **02-198428** [JP 2198428 A]

PUBLISHED: August 06, 1990 (19900806)

INVENTOR(s): SAKAMOTO MIKIO

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-019120 [JP 8919120]

FILED: January 27, 1989 (19890127)

INTL CLASS: [5] G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS --
Glass

Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide
Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1121, Vol. 14, No. 487, Pg. 130,
October 23, 1990 (19901023)

ABSTRACT

PURPOSE: To obtain the liquid crystal display device use active matrix substrate having a high yield and a high performance by making film thickness of an insulating film being under a display electrode part except a connecting point to at least an active element thicker than film thickness of an insulating film being under a matrix wiring part and protruding it.

CONSTITUTION: This active matrix substrate is structured by making film thickness of an insulating film 106 being under a display electrode part 105 except a connecting point to at least an active element thicker than film thickness of an insulating film 104 being under a matrix wiring part, and protruding it. Accordingly, in its area, an even and satisfactory liquid crystal oriented film 113 is formed by rubbing, and a satisfactory liquid crystal display can be executed. Also, damage to an aluminum wiring and a TFT part caused by rubbing is scarcely generated and a structure of a high yield being free from a defect is formed. In such a way, the liquid crystal display device use active matrix substrate having a high yield and a high performance is obtained.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-198428

⑪ Int. Cl.³

G 02 F 1/136
H 01 L 27/12
29/784

識別記号

5 0 0

庁内整理番号

7370-2H
7514-5F

⑬ 公開 平成2年(1990)8月6日

8624-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 液晶表示装置用アクティブマトリクス基板

⑮ 特 願 平1-19120

⑯ 出 願 平1(1989)1月27日

⑰ 発 明 者 坂 本 幹 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

液晶表示装置用アクティブマトリクス基板

特許請求の範囲

単結晶シリコン基板上に、絶縁膜、該絶縁膜上の少なくとも一部にマトリクス状に形成された薄膜半導体アクティブ素子、該アクティブ素子に一对一に接続された表示電極、該表示電極に前記アクティブ素子を通じ信号を制御および印加するためのマトリクス配線が少なくとも構成されて前記単結晶シリコン基板を裏面より研磨、薄膜化したデバイス層が接着層を介して保持基板上に設置された液晶表示装置用アクティブマトリクス基板において、少なくとも前記アクティブ素子との接続点を除く前記表示電極部下の前記絶縁膜の膜厚を前記マトリクス配線部下の前記絶縁膜の膜厚よりも厚くし、突出させた事の特徴とする液晶表示装置用アクティブマトリクス基板。

発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜半導体を用いたアクティブ素子を有する液晶表示装置用アクティブマトリクス基板に関する。

(従来の技術)

近年、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)等の薄膜半導体を用いたアクティブ素子を各画素毎に設け、高画質化を狙ったアクティブマトリクス液晶表示装置の開発が活発である。このような液晶表示装置は、液晶を2枚の基板ではさんだ構造で、一方は前記アクティブ素子をマトリクス状に形成したアクティブマトリクス基板、他方は例えばガラス基板上全面に透明電極を形成してなる対向基板から構成されている。液晶としては通常コントラストの高くとれるTN型が多く用いられるため、アクティブ素子形成用基板もガラス等の透明基板を利用した透過型液晶表示装置が開発されている。

アクティブ素子のチャネル領域となる薄膜半導体材料としては、主にアモルファスシリコン(a-Si)やポリシリコン(p-Si)が使用されている。a-Siは、低温で膜形成が可能な事から安価なガラス基板を使用でき、最近の多くのポケット型液晶テレビ等に応用されている。p-Siは、a-Siより移動度が大きく、また単結晶シリコン、a-Siに比べ極端に光感度が鈍く、つまり光に対し非常に安定な、高性能アクティブ素子を実現できる。このため次期高精細液晶表示装置等への適用が期待されているが、まだ安価なガラス基板が使える程の低温で、簡便に大面積形成が可能な技術が熟成していないのが現状である。

この様なp-Siを用いたアクティブ素子形成する方法として通常のシリコンICやLSIプロセス中の高温p-Siプロセスを利用する方法がある。ただし基板材料としては、この様な高温プロセスに耐える石英や単結晶シリコン基板が必要である。この中で後者の単結晶シリコン基板を

-3-

よりソース、ドレイン領域をp-Si半導体層204に形成した後、配線分離用絶縁膜207を形成し、この配線分離用絶縁膜207にコンタクトホールをあけ、例えばアルミ配線で信号配線用のドレイン配線208、ソースコンタクト209をパターン形成してFTFとする。表示電極210は例えばITOからなる透明電極で、ソースコンタクト209と接続されて配線分離用絶縁膜上に形成される。この場合、特にソースコンタクトは無くてもかまわないが、例えば厚さ500Å程度の表示電極210だけでは例えば通常深さが3000Å以上のコンタクトホールを通してソース領域との接続の信頼性が無くなる。

最後に、この単結晶シリコン基板を裏面から選択ポリッシングにより熱酸化絶縁膜203まで研磨し、薄膜のデバイス層としている。

周辺駆動回路まで含めたアクティブマトリクス基板の模式的平面図を第3図に示す。例えばゲート電極206を水平配線、ドレイン配線208を垂直配線とするマトリクス配線とp-Si TFT

-5-

用い、光入射が無くかつ高速、高性能が要求される周辺駆動回路を単結晶シリコントランジスタ回路で構成し、光入射のあるアクティブ素子部をp-Si TFTで形成しアクティブマトリクス基板とする方法が、例えば特願昭61-246653「アクティブマトリクス液晶表示装置およびその製造方法」の明細書中に述べられている。この発明によれば、第2図に示す様に例えば透明ガラス基板201上にエポキシまたはポリイミド等の透明な接着層202によりアクティブ素子が形成されたデバイス層を接着し、アクティブマトリクス基板を構成している。このデバイス層の詳細は以下の通りである。第2図にはは示されていないが、単結晶シリコン基板上に、通常のシリコンIC、LSIプロセスを用い、例えば二酸化シリコンからなる熱酸化絶縁膜203を形成し、この絶縁膜上に島状のp-Si半導体層204をマトリクス状に配列形成した後、ゲート絶縁膜205、ゲート電極206を順次p-Si半導体層204上にパターン形成する。次に、例えばイオン注入等に

-4-

303および表示電極210で各々分離された画素とから形成されたアクティブマトリクス素子部の周囲に、周辺駆動回路である例えば単結晶シリコントランジスタで構成された走査駆動回路301、信号駆動回路302が設置されている。以上の様にして形成されたアクティブマトリクス基板上に液晶配向膜211を少なくとも表示電極210上全面に形成し、例えばITOからなる透明性対向電極212が透明ガラス基板201全面に形成された対向基板とで、例えばTN型液晶213をはさむ事により液晶表示装置が完成される。

〔発明が解決しようとする課題〕

ところで液晶配向膜211を形成する方法として何種類か考えられるがその中で最近では、製造が非常に容易なラビング法が用いられている。これは、例えばポリイミド等の有機膜を印刷等でパターン形成した後、液晶分子が一方に配列する様に、布等の表面の植毛で有機膜を摩擦する方法である。この方法により、第2図に示した様にア

-6-

クティブマトリクス基板上に形成した有機膜をラビングして液晶配向膜 211 とする場合、アルミ配線等の段差により全域にわたり均一な配向が得られない。特に、段差部、つまり表示電極 210 の周辺部で顕著となる。例えばアルミ配線の膜厚による段差は、通常 $1\mu\text{m}$ 以上となり顕著な場合、ラビングされるのはほとんどアルミ配線上でラビングしたい表示電極 210 上は無配向となってしまう。また表示電極 210 上を良好な配向膜とするため摩擦力を強くしたりすると、TFT に損傷を与えかねない。以上の様に従来例においては、液晶配向膜 211 形成のラビング時において配向膜不良をおこしたり、また TFT に損傷を与えたりする歩留りの悪い構造であった。

本発明の目的は、この様な従来の欠点を取り除き、高歩留りで高性能な液晶表示装置用アクティブマトリクス基板を提供する事にある。

〔課題を解決するための手段〕

上記目的を達成するために、本発明の液晶表示装置用アクティブマトリクス基板は、単結晶シリ

コン基板上に、絶縁膜、該絶縁膜上の少なくとも一部にマトリクス状に形成された薄膜半導体アクティブ素子、該アクティブ素子に一对一に接続された表示電極、該表示電極に前記アクティブ素子を通じ信号を制御および印加するためのマトリクス配線が少なくとも構成されて前記単結晶シリコン基板を裏面より研磨、薄膜化したデバイス層が接着層を介して保持基板上に設置された液晶表示装置用アクティブマトリクス基板において、少なくとも前記アクティブ素子との接続点を除く前記表示電極部下の前記絶縁膜の膜厚を前記マトリクス配線部下の前記絶縁膜の膜厚よりも厚くし、突出させた構成になっている。

〔実施例〕

以下、本発明の一実施例について図面を参照して説明する。第 1 図は、本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図である。第 1 図において、例えば保持基板として安価な透明ガラス基板 101 上に接着層 102 を介して例えばマトリクス状に配列

された p-Si TFT からなるアクティブ素子を有する薄膜のデバイス層が設置されている構造は前に述べた従来例と同様である。また接着層 102 も従来例同様例えばエポキシ系あるいはポリイミド系の透明性接着材である。

以下デバイス層について詳細に説明する。単結晶シリコン基板 103 上に熱酸化法や CVD 法等により例えば二酸化シリコンの絶縁膜 104 を形成する。厚さは特に限定は無いが単結晶シリコン基板 103 との絶縁性を良好にするために 1000\AA 以上が望ましい。この後、少なくとも表示電極 105 のソースコンタクト部を除く表示領域を含む前記絶縁膜 104 を例えばシリコン IC あるいは LSI プロセスで用いられる選択酸化法 (LOCOS) により同図に見られる様に厚い二酸化シリコンの酸化膜 106 とする。この酸化膜 106 は、例えば $1\mu\text{m} \sim 2\mu\text{m}$ 程度酸化されない絶縁膜 104 より上下にそれぞれ厚くなっている事が望ましい。次に薄く残された絶縁膜 104 上に例えば CVD 法により p-Si 半導体

層 107 を蒸着し、マトリクス状の各画素毎の TFT チャネル領域となる様にパターン化する。続いて p-Si 半導体層 107 上に例えば二酸化シリコンからなるゲート酸化膜 108、ポリシリコンからなるゲート電極 109 を通常のシリコン IC の MOSFET と同等なプロセスで順次形成、パターン化する。p-Si 半導体層 107 にソース、ドレイン領域を形成する例えばイオン注入を行なった後、ゲート電極 109 と後のアルミ配線を分離する配線分離用絶縁膜 110 を形成し、ソース、ドレイン領域にコンタクトホールをあける。例えば $1\mu\text{m}$ 程度のアルミ全面蒸着後、信号印加配線となるドレイン配線 111 およびソースコンタクト 112 にパターン化する。ここで重要なのは、これらのアルミ配線は必ず前記薄く残された絶縁膜 104 上に設置されている事である。次にソースコンタクト 112 のアルミと接続された例えば ITO からなる透明の表示電極 105 を形成し各画素毎にパターン化分離する。最後に従来例で述べた様に選択ポリッシングを用

い、厚い酸化膜 106 が露出するまで単結晶シリコン基板 103 を裏面より研磨し、デバイス層が完成する。以上の様にして形成された本実施例のアクティブマトリクス基板においては、少なくとも表示電極 105 のソースコンタクト 112 部を除く表示領域は、TFT やアルミ配線等のマトリクス配線部より突出した構造とする事ができる。さらに第 1 図に見られる様に、LOCOS によって形成された厚い酸化膜 106 は単結晶シリコン基板 103 側にも入り込んでいるため、薄く残された絶縁膜 104 下には、単結晶シリコン基板 103 の薄膜層が残った構造となっている。

尚、本実施例では、TFT も薄い絶縁膜 104 上に形成しているが薄い絶縁膜 104 上はアルミ配線だけであってもかまわないが後で述べる TFT 遮光の効果はなくなる。周辺駆動回路を単結晶シリコン基板 103 上に構成するのは、第 3 図に示す従来例と同等で、LOCOS プロセスは共用できる。本実施例では、アクティブ素子を構成する材料として p-Si について説明したが、

s-Si であっても効果は同じである。

〔発明の効果〕

以上説明した様に、本発明の液晶表示装置用アクティブマトリクス基板によれば、選択酸化という簡便なプロセスを用い少なくとも表示電極 105 のソースコンタクト 112 部を除く表示領域が、一番突出した構造をとる事ができたため、ラビングによりその領域はムラの無い良好な液晶配向膜 113 が形成され、良好な液晶表示を可能とする。また、ラビングによるアルミ配線や TFT 部へのダメージが少なく欠陥の無い高歩留りな構造となっている。さらに a-Si TFT でもバックライト等の光による多少の特性変動はまぬがれない。この様な場合、通常クロム等による遮光パターンを別途形成する方法がとられているが、本発明の構成例では、前述した様に TFT 下に残された単結晶シリコン基板 103 の薄膜層が遮光膜として働くため余分な遮光膜形成工程を必要とせず、光劣化の無い高性能な液晶表示装置用アクティブマトリクス基板を提供できる。

-11-

-12-

図面の簡単な説明

第 1 図は、本発明の一実施例を説明するための液晶表示装置用アクティブマトリクス基板の断面図、第 2 図は従来例を説明するためのアクティブマトリクス液晶表示装置の断面図、第 3 図は、本発明および従来例を説明するための液晶表示装置用アクティブマトリクス基板の模式的平面図である。

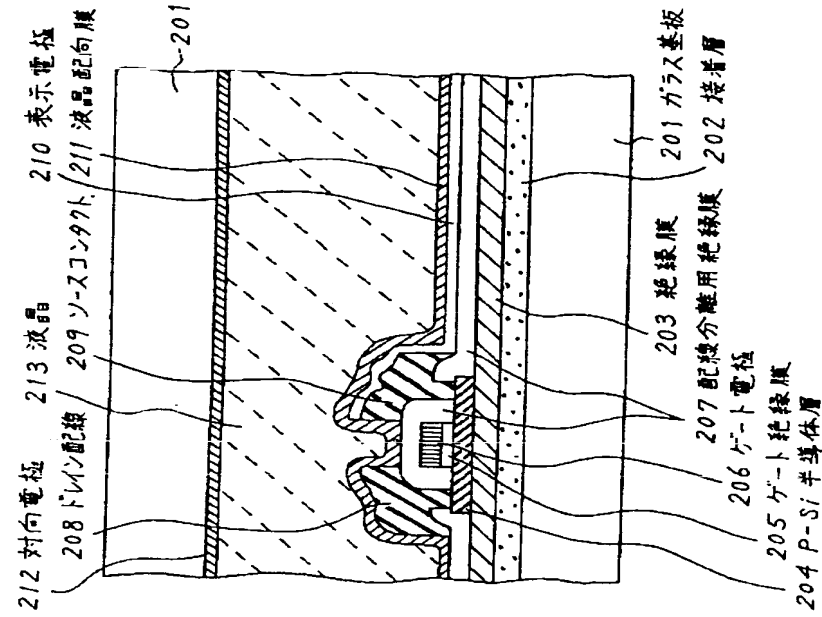
101, 201…ガラス基板、102, 202…接着層、103…単結晶シリコン基板、104, 203…絶縁膜、105, 210…表示電極、106…厚い酸化膜、107, 204…ポリシリコン半導体層、108, 205…ゲート酸化膜、109, 206…ゲート電極、110, 207 配線分離用絶縁膜、111, 208…ドレイン配線、112, 209…ソースコンタクト、113, 211…液晶配向膜、212…対向電極、213…液晶、301…走査駆動回路、302…信号駆動回路、303…ポリシリコン薄膜トランジスタ。

-13-

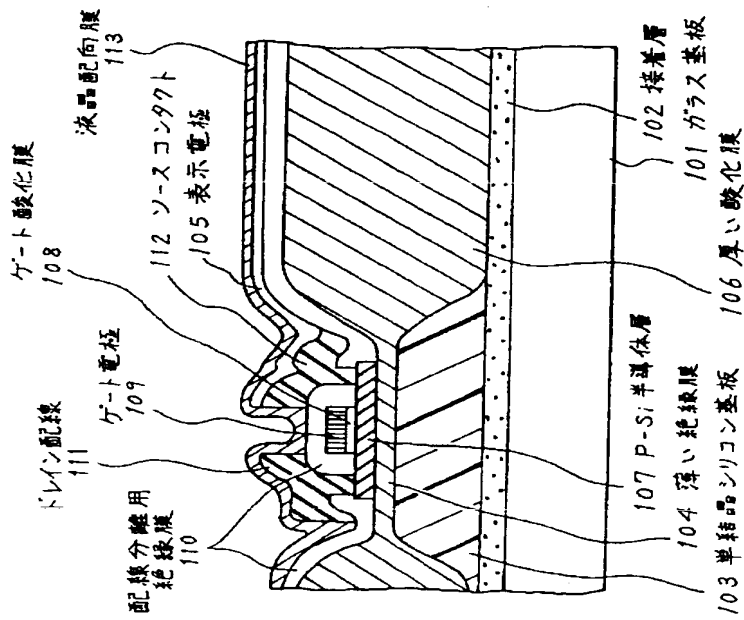
ジスタ。

代理人 弁理士 内 原 晋

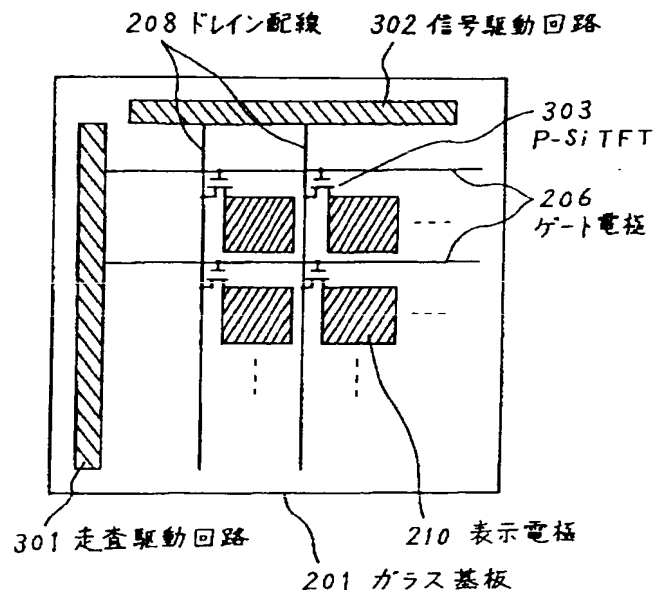
-14-



第 2 図



第 1 図



第 3 図